

EPCのeGaN[®] FETの信頼性試験： フェーズ9



Chris Jakubiec, Rob Strittmatter Ph.D., Chunhua Zhou Ph.D. Efficient Power Conversion Corporation, 米国カリフォルニア州エルセグンド

Efficient Power Conversion (EPC) 社のeGaN[®]デバイスの継続的な採用には、多くのアプリケーションにわたる能力を証明するための追加の信頼性データが必要になります。このフェーズ9の信頼性レポートは、EPCがこれまでに公表した8本のレポートの知識ベースを拡大するために追加されました。このレポートの主な部分は、はんだ接合部の完全性の予測モデルに焦点を当て、基板レベルの熱機械的信頼性をカバーしています。付録Aは、このレポートの参照として、熱サイクル中のはんだ接合部の歪みエネルギー密度を計算する方法の詳細です。付録Bは、以前に公表された信頼性レポートの製品特有のストレス・テスト・データの蓄積と、フェーズ8レポートの公表後に収集されたデータが含まれています。

熱機械的ストレス・モデル

フェーズ7とフェーズ8のレポートでは、ウエハー・レベルのチップスケール・パッケージ (WLCSP) に焦点を当て、プリント回路基板のはんだ接合部の界面の完全性に対する熱機械的信頼性を紹介しました。このレポートでは、検証のために、数種類のチップ・サイズ、パッケージの実装面積、ストレス条件を含めることによって、初期の熱ストレス (応力) ・サイクルをはんだ接合部の疲労故障モデルに拡張しています。

ウエハー・レベルのチップスケールのはんだ接合部の完全性

EPCのFETとICIは、基板の占有面積を最小限に抑え、優れた放熱を実現するために、ウエハー・レベルのチップスケール・パッケージで製造されています。通常の回路動作や周囲の環境条件に起因する温度変化は、チップと、プリント回路基板のアセンブリとの間のはんだ接合部に応力を生じさせます。チップ (2.6 ppm/°C以下) とプリント回路基板 (17 ppm/°C) との間の熱膨張係数 (CTE) のミスマッチ [1] は主に、WLCSPパッケージのはんだ接合部によって吸収される歪みエネルギーを発生します。時間をかけた周期的な温度変化は、はんだ接合部が最終的に破損して故障するまで疲労させます。表面実装ではんだ付けされたすべての部品は、温度変化によって蓄積された応力に関連する影響を受けやすくなっています。部品のサイズ、剛性、はんだレイアウト、および、はんだ接合部のスタンドオフの高さはすべて、デバイスが熱機械的ストレスに耐える能力に影響します。

実験の概要

EPCの複数のWLCSPデバイスを分析することによって、ストレス関連の影響を判定するための実験が拡張されました。パッケージ・サイズと、はんだのレイアウト構成を変えて3つのデバイスを選びました。デバイスのテスト・セットには、2.05 mm × 0.85 mmのラ

ンド・グリッド・アレイ (LGA) のパッケージ、4.6 mm × 2.6 mmと大型のボール・グリッド・アレイ (BGA) のパッケージ、0.9 mm × 0.9 mmの非常に小さなBGAパッケージが含まれています (図1~3参照)。その目的は、はんだ接合部が故障し始めるまでの加速温度サイクル試験を利用すること、同時に、温度変動によって接合部に蓄積された歪みエネルギーを計算することでした。予測モデルは、故障までの予測熱サイクル数と、計算されたはんだ接合部の歪みエネルギー密度との関係として生成されました。

はんだ接合部は、断続動作寿命 (IOL: Intermittent Operating Life) 試験の方法で熱機械的ストレスを加えられました。IOLは、電力サイクル試験の変形で、目標とする時間間隔内で一定の電力を加えることによって得られるデバイスの自己発熱です。EPCの電界効果トランジスタ (FET) の場合、デバイスは、接合部温度 (Tj) があらかじめ定めたレベルに達するようにリニア・モードでバイアスされます。FETのゲートにおいてフィードバック制御ループを持つ回路は、すべてのデバイスに確実に同じ電力が供給

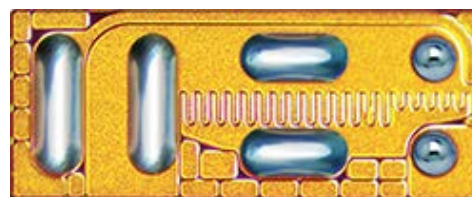


図1. 2.05 mm × 0.85 mmのランド・グリッド・アレイのWLCSPパッケージ

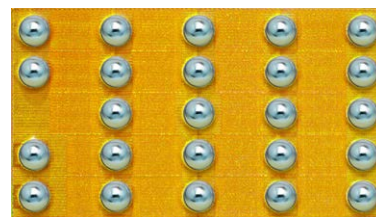


図2. 4.6 mm × 2.6 mmのボール・グリッド・アレイのWLCSPパッケージ

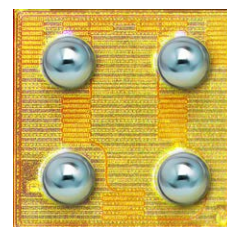


図3. 0.9 mm × 0.9 mmのボール・グリッド・アレイのWLCSPパッケージ

されるようにして使います (図4)。加熱フェーズの後に、加えられた電力を除去し、デバイスをより低い目標温度に到達させることによって、冷却フェーズにします。より低いTjの値は、周囲の室温に設定されることがよくありますが、特定の回路のアプリケーションをシミュレーションするように調整することもできます。冷却フェーズでは、温度の遷移を速くするために、強制空冷が使われます。テスト・デバイスは、個々のプリント回路基板のクーポン (品質試験用のテスト電極) にはんだ付け実装されています。米フリアーシステムズ (FLIR Systems) 社のサーマル・カメラを、IOL試験中の温度の校正やデバイスのモニタリングに使用しました。図5は、IOLストレス試験中のデバイスのサーマル・カメラ画像です。

デバイスのサンプルは、データシートの直流仕様を確認するために、あらかじめ定義されたIOL間隔でパラメトリック検定を受けました (図6)。標準的なはんだ接合部の破壊故障は、パラメトリック検定で検出されるオン抵抗 $R_{DS(on)}$ を増加させます。この実験では、 $R_{DS(on)}$ の少なくとも10%の増加が故障したデバイスとみなされました (図7の例を参照)。はんだ接合部のスタンドオフの高さなど、デバイス・パッケージのパラメータは、モデルへの正確な入力を得るためにテスト・ロットのサンプルから採取されました。

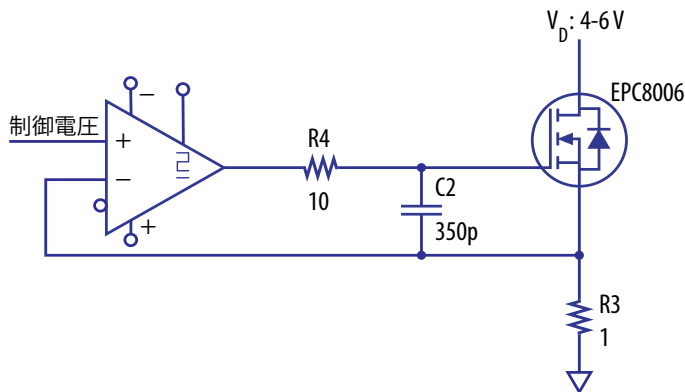


図4. IOL試験回路: ゲート制御ループは、すべてのデバイスに同じ電力を供給するために使われます。

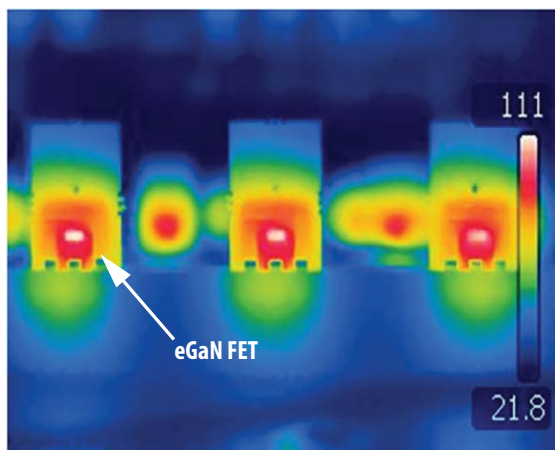


図5. IOL試験中のフリアー社のサーマル・カメラ画像: プリント回路基板のクーポンに実装されたデバイス。

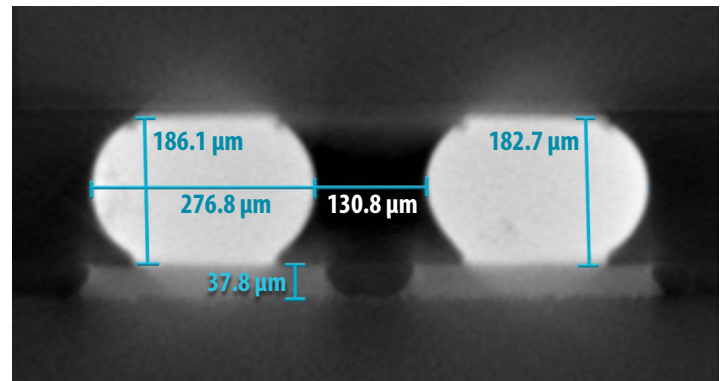


図6. 3次元X線画像: 測定したテスト・ロットのサンプル。

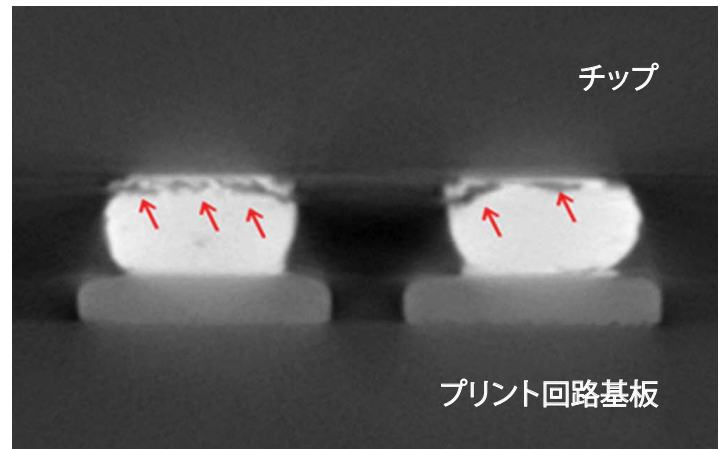


図7. 3次元X線画像: IOL試験によるはんだ接合部の疲労故障

はんだ接合部の歪みエネルギー密度

周期的なはんだ接合部の歪みエネルギー密度は、[26]と[27]に記載されたClech氏によって示された方法を使って計算しました。このアルゴリズムでは、温度サイクル中のはんだの応力と歪みを組み合わせて計算します。このヒステリシス・ループの内側の領域は、周期的な歪みエネルギー密度です。この時間ステップ法は、任意の形状の温度対時間の特性を明らかにすることができます。私たちの計算のために、パイロメータとデータ・ロガーを使って実際の温度プロファイルを測定し、その波形はヒステリシス・ループ・シミュレータに直接入力しました。

温度変化の間、はんだ接合部にストレスが蓄積します。このストレスには、主に2種類あります。グローバル・ミスマッチ・ストレスとローカル・ミスマッチ・ストレスです。グローバル・ストレスは、部品とプリント回路基板のCTEの差に起因し、主に接合部のせん断応力につながります。この応力の大きさは、接合部の高さ、アセンブリの中心からの距離によって決まります。ローカル・ストレスは、はんだ (22 ppm/°C以下)、部品 (2.6 ppm/°C以下)、プリント回路基板 (17 ppm/°C以下) との間のCTEの差によって引き起こされます[1]。このローカル・ミスマッチは、接合部の二軸応力とせん断応力の両方につながります。この研究では、グローバルな歪みエネルギーとローカルな歪みエネルギーの両方を計算しました。

Clech氏のアプローチでは、はんだ接合部の熱機械的応力は、次の3つのメカニズムの内の1つによって軽減されます。すなわち、(i) 弾性歪み変形、(ii) 残りのアセンブリの整合性 (部品やプリント回路基板)、(iii) はんだのクリープ変形 (物体に持続応力が作用すると、時間の経過と共に歪みが増大する現象) です。アセンブリの整合性が計算され、正味のアセンブリ剛性 (ゆがまないこと) パラメータKが得られます。この研究におけるグローバル・ミスマッチ

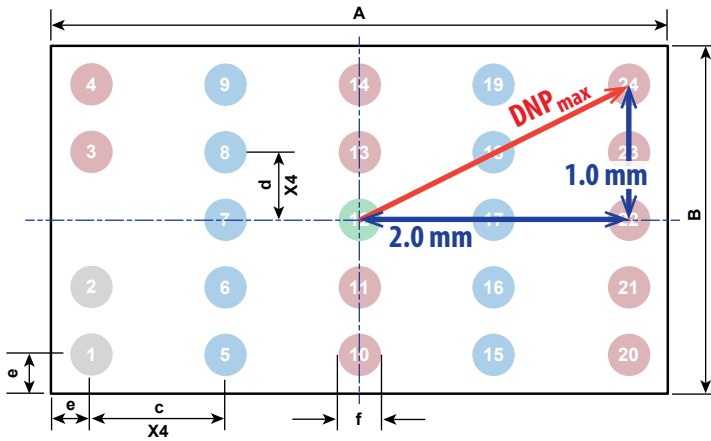


図8. 中点までの距離 (DNP) : EPC2032 BGA。

の場合、チップ上の中点から最も遠いのはんだ接合部がシミュレーションされました。これは、せん断歪みが最も大きい接合部であり、最初に故障する可能性が最も高いところです。ローカル・ミスマッチの場合、接合部の位置は重要ではありません。図8は、中点まで最も遠い距離 (DNP : distance to the neutral point) で計算されたのはんだ接合部の例を示しています。

Clech氏のアプローチは本来、部品とプリント回路基板が常に同じ温度になっている温度サイクル (TC) をモデル化することを意図していました。IOL試験では、プリント回路基板は、より低い温度であり、接合部から基板への熱抵抗 ($R_{\theta JB}$) に依存し、電力がデバイス内で消費されます。これは、TCに比べて、接合部のせん断応力をわずかに低減する効果があります。この条件を考慮するために、Clech氏のアプローチは、真のパッケージ温度に線形に関連する実効温度を計算することによって合わせ込まれ、IOL試験中の部品と基板との温度の差を説明します。この合わせ込みは、グローバル・ミスマッチの場合には有効ですが、完全な有限要素モデリングが接合部に現実的な応力-歪みの場を得るための唯一の手段かもしれないローカルの場合については、有効性が疑わしくなります。

付録Aには、Clech氏の歪みエネルギー計算を実施するために使われる方程式、パラメータ、モデルの完全なリストがあります。付録Aの目的は、最終使

寸法	最小値	標準値	最大値
A	4570	4600	4630
B	2570	2600	2630
c	1000	1000	1000
d	500	500	500
e	285	300	315
f	332	369	406

用条件におけるのはんだ接合部の信頼性の予測手段をEPCの顧客に提供することです。EPCは、歪みエネルギーを計算するアルゴリズムの完全な実装をMATLABコードで提供することもできます。

図9 (a) は、25°C~150°CのIOLのストレス・レグに対する代表的な温度対時間のプロファイルを示しています。温度は、チップのパッケージの背面で測定されることに注意してください。図9 (b) は、EPC2032上の3つの別個のIOLレグをシミュレーションしたヒステリシス・ループを示しています。図から分かるように、クリープ変形は、10~15 MPaの応力範囲で強く緩和されます。ループ内のこの領域が歪みエネルギー密度を与えます。

この研究に含まれるすべてのIOLレグに対して同じ手順を繰り返しました。この結果が表1です。大きなチップ (EPC800xとEPC2032) の場合、歪みエネルギーは、グローバル・ミスマッチによって支配されます。この結果、接合部のスタンドオフの高さが高くなるほど、故障までのIOLサイクル数が改善されることが期待されます。しかし、非常に小さいEPC2036の場合、ローカルな歪みエネルギーは、実際にはグローバルを超えます。このアプローチでは、はんだの種類 (例えば、CTEが低く、クリープ率が小さい) を変えることによってのみ、信頼性を向上させることができます。

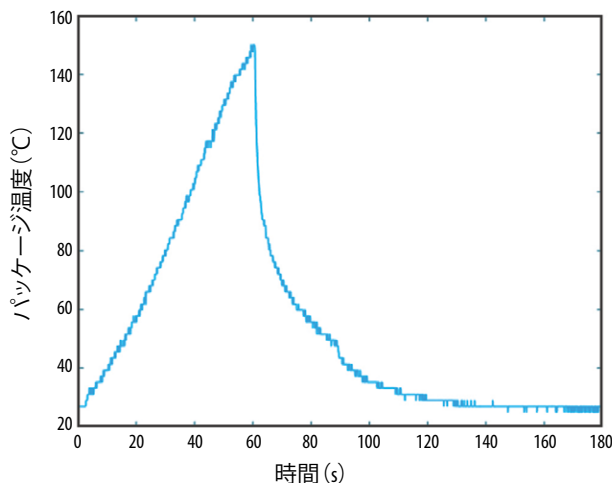


図9 (a) : 標準的なIOL温度サイクル (25°C~150°C) に対するパッケージ温度と時間の関係。

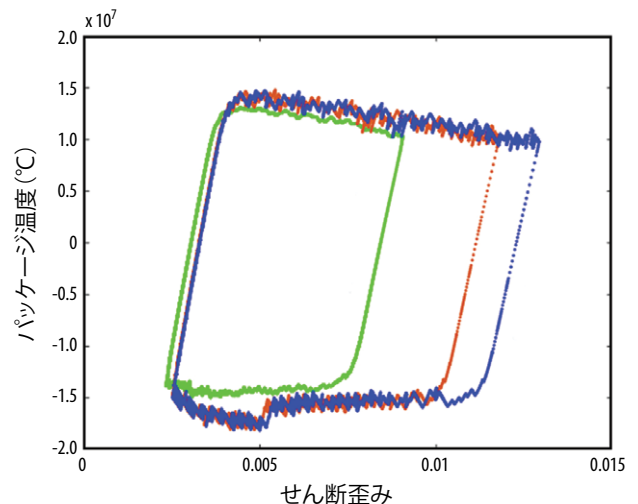


図9 (b) : 3つの異なる温度ランプ・サイクルに対して計算されたせん断応力-歪みのヒステリシス・ループ。ループ内の領域が歪みエネルギー密度を与えます。

デバイス名	波形	グローバル歪みエネルギー密度 (Mpa)	ローカル歪みエネルギー密度 (Mpa)
EPC800x	25°C~175°C	0.2043	0.0511
EPC800x	25°C~163°C	0.158	0.0424
EPC800x	25°C~150°C	0.1462	0.0358
EPC800x	25°C~125°C	0.092	0.0305
EPC2032	40°C~140°C	0.14	0.0192
EPC2032	25°C~150°C	0.22	0.0278
EPC2032	25°C~160°C	0.2493	0.0301
EPC2036	25°C~150°C	0.0131	0.0274
EPC2036	25°C~160°C	0.0154	0.0296
EPC2036	25°C~175°C	0.0187	0.0328

表1. 実験で実行されるすべてのIOLレグに対して計算されたグローバルとローカルの歪みエネルギー密度。

この熱機械的モデリングの将来の適用において、ローカル・ミスマッチ問題のシミュレーションは、はんだ接合部の内部の応力-歪み場を計算する有限要素解析 (FEM) を組み込むことによって改善されるでしょう。これは、部品とプリント回路基板との間に温度勾配が存在する場合に特に役立ちます。FEMは、完全な3次元機械の分野の計算に使われますが、Clech氏の同じ基本時間ステップのアルゴリズム (クリープ構成式と結合されています) は、以前と同じように使えます。

熱機械的応力サイクルと故障モデル

多くの研究 [22,26,27] は、歪みエネルギー密度と、はんだ接合部の故障までのサイクルとの間に強い相関関係を示しています。この相関関係は、単純なべき乗則としてモデル化されます。BGAタイプのパッケージでは、 -1 に近い指数が一般的です。これは、故障までのサイクルの測定が、歪みエネルギーに反比例することを意味します。

図10は、この実験におけるすべてのレグの歪みエネルギー密度に対する N_{50} (50%故障のサイクル数) を示します。デバイスの故障は、データシートの限界値に対して定義され、全ストレス期間中に一定の間隔で集計されました。ほとんどの場合、各レグは、全数の約半分が故障するまで実施されました。累積故障と応力サイクル数のデータから、標準的な2パラメータのワイブル分布を使った最尤推定を用いて N_{50} を計算しました。図10の誤差バーは、67%の信頼区間を示しています。

図10に示すように、LGA (EPC800x) タイプのパッケージとBGAパッケージ (EPC2036とEPC2032) に対して、明らかに異なる2つの相関の傾き (指数) が見つかりました。実際の最適なライン (実線) の方程式が図に示されています。破線は、最適方程式から $\pm 30\%$ を示します。BGAパッケージの場合、BGAタイプのパッケージの多くの文献と一致して、傾きは -1 に近くなっています。1つのレグを除いて、すべてのデータは、中心線の周りの比較的狭い帯の内に収まっています。EPC800xでは、測定値も相関式に近似していますが、傾きは急峻 (指数 -2) です。このパッケージには、円形のはんだ接合部と棒状のはんだ接合部の両方が含まれています。したがって、BGAパッケージと比べて、相関が異なることは驚くに足りません。より急峻な傾斜がより一般的に適用されるかどうかを確かめるために、LGAタイプのデバイスに関するデータをさらに収集する予定です。

熱機械的信頼性を予測するためのモデルの応用

歪みエネルギー密度と疲労寿命 (前のセクションで説明) との相関を使い、任意の応力条件に対する歪みエネルギーをシミュレーションする機能と組み合わせ、特定の使用事例での故障までのサイクル数に関して、予測/外挿することができます。この種の分析の例としては：

- サイクル中のピーク温度に対する寿命
- 温度波形に対する寿命 (例えば、滞留時間、ランプ速度、サイクル期間)
- TC対IOLの下での寿命
- EPCの異なるデバイスの寿命

図11は、EPCの4つの異なるデバイスについて、IOL中の寿命対ピーク温度を予測する結合モデルを使った例です。すべてのデバイスがBGA形式なので、標準相関適合指数 ($n = -0.85$) を使いました。パンプのレイアウトに関する幾何学的な詳細は、参照のために図に示されています。すべての場合において、同じ基本的なIOL温度プロファイルを採用し (サイクル時間3分)、サイクル中に得られた全温度変化を調整しました (プロットではx軸)。

高温の温度変動領域 (グラフの右側) では、寿命は、はんだの形状に強く依存します。この歪みエネルギーは、グローバルなCTEのミスマッチが支配的であり、この主な要因は、DNPと、はんだパンプのスタンドオフの高さです。より低い温度領域では、ローカル・ミスマッチが支配的な摩耗メカニズムとなり、すべてのデバイスが同じ値に収束します。 ΔT が0に近づくにつれて、クリープ構成方程式に強い非線形性があるため、寿命は急速に長くなります。すべての部品が1E6サイクルをはるかに超える寿命を持つと予想されるため、小さな温度変動 (10°C 以下) を伴う実際の使用には良いニュースです。

図12は、結合したモデルの同様の分析を示していますが、ここでは、ストレス条件がIOLではなく温度サイクル (TC) です。一般的な1時間のサイクル期間が想定され、極端な各温度で5分間滞留しました。TCの場合、寿命は、IOLに比べて、2つの主な理由で短くなっています：(1) 極端な温度でのより長い滞留は、クリープ流がより大きくなり、より高い歪みエネルギー密度の原因になります；(2) パッケージと基板は、同じ温度で、常に、接合部において、わずかに大きなせん断応力になります。

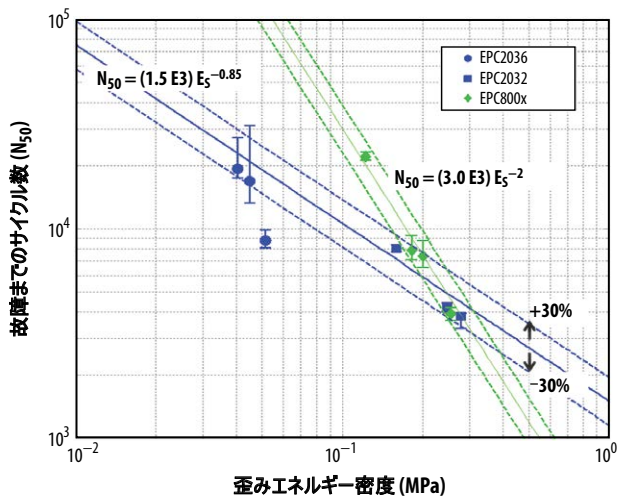


図10. 故障までのサイクル数と計算した歪みエネルギー密度の関係。
EPC2036とEPC2032 (BGAタイプ) は、指数が-1に近い青色の線に適合しています。EPC800x (LGA) は、指数が-2で急勾配のライン (緑色) になっています。破線は、適合中心線から±30%を示します。

今後の予定

結合型熱機械モデルの忠実度をさらに検証し改善するために、以下の実験が計画されています：

- ・相関スロープを検証するために、選択したBGAデバイスで追加のIOL試験を実施し、拡張されたデータ・セットに対して保持されます
- ・LGAタイプのデバイスで追加のIOL試験を実施し、これらの非規則的なはんだレイアウトに対する相関スロープ指数を調べます
- ・歪みエネルギー密度のシミュレーションの改善
 - グローバル・ミスマッチ：単純化されたばねモデルを必要とせずに、グローバル・アセンブリの剛性パラメータを直接計算するために、有限要素を使います。
 - ローカル・ミスマッチの特定：はんだボールの歪み場 (2軸応力とせん断応力を含む) を得るために有限要素を使います。ヒステリシス・ループは、FEM過渡シミュレーション内で計算できます。
- ・IOLの下で小さなチップ (例えば、EPC2036) に対する温度対時間を記録します。部分的に破損したバンパで $R_{\theta JB}$ が増加することによるパッケージ温度の変化は、応力が加わっている間のクラックの開始および伝搬速度を直接測定する機会を与えます。IOL試験が進むにつれて、チップ温度の上昇を説明するための歪みエネルギー密度のより正確な推定も可能になります。

まとめ

このレポートに記載されているように、EPCは、eGaN FETとICに使われるウエハー・レベルの表面実装チップスケール・パッケージの基板レベルの信頼性を引き続き調べ続けています。業界の出版物からの知識、EPC独自の計算、およびEPCデバイスの実際のストレス・テスト測定を組み合わせた熱機械的応力モデルが示されています。この結果、任意のストレス温度プロファイル、および、チップからプリント回路基板への形状に対して、しだいに増える故障までの熱サイクル数を予測するために使われるモデルになります。さらに、熱ストレス中におけるはんだ接合部での歪みエネルギー密度を計算するための基本的な方法が提供されます (付録A参照)。前のセクションで説明したように、EPCは、顧客のアプリケーション内で顧客がeGaN® FETとICを統合することを支援するための追加実験によって、このモデルを改良し続けます。

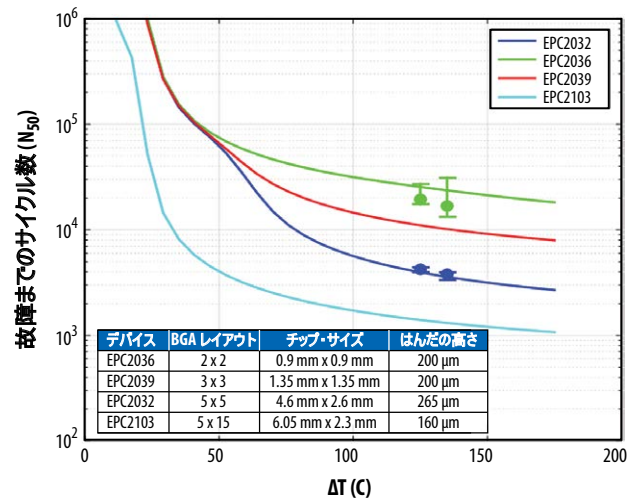


図11. すべてBGAタイプのパッド・レイアウトを備えた異なる4種類のEPC製品のIOLストレス下での50%故障までのサイクル数。これらの計算は、サイクル (x軸) 中に温度変化のピークを変えながら、3分間の温度プロファイル (1分間のランプ・アップ、2分間のランプ・ダウン) を想定しています。これらの曲線は、全歪みエネルギー密度を計算し、次にBGA形状に適した相関式を使って作成されました。故障までのサイクル数の測定されたデータが、適切ところで曲線に重なっています。

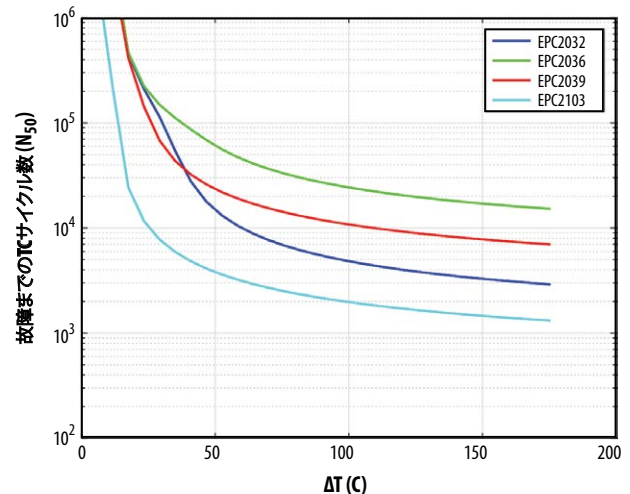


図12. すべてBGAタイプのパッド・レイアウトを備えた4種類のEPC製品のTCストレス下での50%故障までのサイクル数。これらの計算は、サイクル (x軸) 中の温度変化のピークを変えながら、60分間の温度サイクルを想定しています。これらの曲線は、全歪みエネルギー密度を計算し、次にBGA形状に適した相関式を使って作成されました。

付録A: 歪みエネルギー密度を計算する方法

歪みエネルギーは、Clech氏の [26] と [27] に記載された方法を使って計算しました。この方法は、ここで要約しますが、詳細については元の参考文献を参照してください。

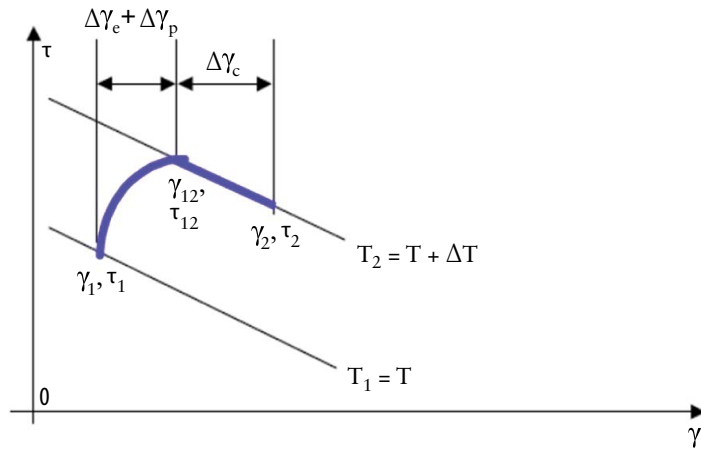


図13. ΔT で温度が上昇したときの接合部の応力と歪みを示す短い時間ステップの概略図。参考文献 [26] からの引用。

このアルゴリズムでは、温度サイクルを一連の短い時間ステップに分解します。各ステップにおいて、温度は、温度波形によって規定される小さい量の ΔT で変わります。各ステップの開始時に、はんだは、 (τ_1, γ_1) で示される所定のせん断応力-歪み状態にあります。ステップの終わりで、4つの未知数について4本の方程式を解くことによって応力歪み (τ_2, γ_2) が計算されます：

$$\gamma_{12} + \frac{\tau_{12}}{K} = L_{DNP} \Delta \alpha \frac{(T_2 - T_0)}{h_s} \quad \text{式A1}$$

$$\gamma_2 + \frac{\tau_2}{K} = L_{DNP} \Delta \alpha \frac{(T_2 - T_0)}{h_s} \quad \text{式A2}$$

$$\gamma_{12} - \gamma_1 = \frac{(\tau_{12} - \tau_1)}{G(T_1)} \quad \text{式A3}$$

$$\gamma_2 - \gamma_{12} = \frac{d\gamma_{SS}}{dt} (T_2, \tau_{12}) \quad \text{式A4}$$

図13に示すように、応力-歪みの変化は、あたかもそれが2つの別々のステップで起こっているかのように扱われます。第1ステップでは、応力-歪みは、純粋な弾性変形によって (τ_1, γ_1) から (τ_{12}, γ_{12}) へと遷移します。これは上式A3で示され、ここで、 $G(T_1)$ は、温度に依存するはんだの弾性せん断弾性率です。第2ステップでは、はんだ中の応力がクリープ変形によって緩和されます。このステップは、式A4で示され、ここで、 $d\gamma_{SS}/dt$ は定常状態のクリープ歪み速度です。このため、Darveaux氏ほかの [25] の構成方程式を使って、定常状態のクリープ歪み速度を温度 (ケルビン温度 T) と応力レベル (σ) の関数として示します：

$$\frac{d\gamma_{SS}}{dt} = C [\sinh(\alpha \sigma)]^n \exp\left(\frac{-Q_a}{kT}\right) \quad \text{式A5}$$

$$C = 5.77 \times 10^5 \left(\frac{1}{\text{sec}}\right)$$

$$\alpha = 0.045 \left(\frac{1}{\text{MPa}}\right)$$

$$n = 7.0$$

$$Q_a = 0.6 \text{ (eV)}$$

式A5で使ったパラメータは、SAC305タイプのはんだに適した [25] から引用しました。

式A1と式A2は、サイクル中のどの時点においても、応力-歪みは、基板とパッケージの間の熱膨張のミスマッチによって加わるせん断力とバランスを取らなければならないという制約を表しています。これらの式で、 L_{DNP} は中点面までの距離、 $\Delta \alpha$ は基板とパッケージとの間のCTEのミスマッチ、 h_s は、はんだ接合部のスタンドオフの高さです。このパラメータ K はアセンブリの剛性定数であり、基板とパッケージの機械的剛性を考慮しています。温度変化の間、せん断力の一部は、基板とパッケージの変形によって散逸させることができます。非常に硬い組み立て (高い K) の場合、すべてのせん断力は、はんだ接合部の歪みによって吸収されます。

ヒステリシス・ループは、そのステップの最後で (τ_2, γ_2) に対する式A1~A4を解く各時間ステップにおいて、サイクル全体にわたって応力-歪みを積分することによって計算できます。実際には、ヒステリシス・ループが最終の閉ループに収束する前に、複数のサイクル (約10) を積分する必要があります。最終的なループ形状が収束すると、標準的な多角形領域アルゴリズムを使って、歪みエネルギー密度 (ループ内部の面積) が計算されます。

IOLストレス中のパッケージと基板の不均一な温度を説明するために、Clech氏のアルゴリズムを適用して、式A1とA2で使うための実効的な ΔT_{eff} を作成しました。

$$\Delta T_{eff} = \frac{1}{(\alpha_c - \alpha_b)} \left(\alpha_c - \alpha_b \left(1 - \frac{\theta_{jb}}{\theta_{jb} + \theta_{ja}} \right) \right) \Delta T \quad \text{式A6}$$

規則的な温度サイクル (TC) の場合、方程式A1とA2を修正することなく使うことができます。

ここで、 α_b と α_c は、それぞれ基板と部品のCTE、 θ_{jb} は接合部から基板への熱抵抗 (単位は $^{\circ}\text{C}/\text{W}$ 、データシートから)、 θ_{ja} は基板から周囲への熱抵抗です。このパラメータは、使用中のIOL試験のハードウェアの冷却環境に依存します。EPCのハードウェアの場合、この値は、 $\theta_{ja} = 82^{\circ}\text{C}/\text{W}$ となるように修正しました。

SAC305はんだの温度依存せん断弾性率 G (式A3で使用) は、鉛フリーはんだのNISTデータベースから引用しました [24]：

$$G(T) = a + bT + cT^2 \quad \text{式A7}$$

$$a = 20.24 \text{ GPa}$$

$$b = -2.635 \times 10^{-2} \left(\frac{\text{GPa}}{^{\circ}\text{C}}\right)$$

$$c = -6.503 \times 10^{-5} \left(\frac{\text{GPa}}{^{\circ}\text{C}^2}\right)$$

ここで、 T は温度 (摂氏) です。

式A1~A7は、EPCのウエハー・レベルのチップスケール・パッケージに対する応力-歪みヒステリシス・ループと歪みエネルギー密度を計算するためのすべての数学的基礎を提供します。このアルゴリズムは、数値的に集約的ではなく、Excelを含むさまざまな数学的なプラットフォームに実装できます。この研究ではMATLABを使って、アプリケーション固有の計算を行う必要があるユーザーには、使用するコードを提供することができます。

付録B：製品の品質認定ストレス・テストのまとめ

EPCのeGaN[®] FETには、シリコン・ベースのパワーMOSFETに対して一般的な条件の下で、広範なストレス・テストを実施しました。以下のテストが含まれます：

- 高温逆バイアス (HTRB: High temperature reverse bias) : 部品には、最大定格温度でドレイン・ソース間電圧が印加されました。
- 高温ゲート・バイアス (HTGB: High temperature gate bias) : 部品には、最大定格温度でゲート・ソース間電圧が印加されました。
- 高温保存 (HTS: High temperature storage) : 部品は、最大定格温度で加熱されました。
- 温度サイクル (TC: Temperature cycling) : 部品には、高温と低温の両極端が交互に加えられました。
- 高温高湿逆バイアス (H3TRB: High temperature high humidity reverse bias) : 部品は、ドレイン・ソース間電圧を印加され、高温の下で高湿に曝されました。
- バイアスなしの圧力釜 (オートクレーブ: AC、またはプレッシャ・クッカー試験) : 部品には、凝縮条件の下で、圧力、湿気、温度が加えられました。
- 耐湿性レベル (MSL: Moisture sensitivity level) : 部品には、湿気、温度、および、3サイクルのリフローが加えられました。
- 静電気放電 (ESD: Electrostatic discharge) : 部品には、人体モデル (HBM)、マシン・モデル (MM)、デバイス帯電モデル (CDM) の下でESDが加えられました。
- 断続動作寿命 (IOL: Intermittent operating life) : 部品には、周期的なオン/オフの直流電力パルスを加えて、デバイスの接合部を所定の温度に加熱し、その後、オフ状態の接合部温度にしました。

デバイスの安定性は、ストレスを加えた後、直流の電氣的試験で検証されました。電氣的パラメータは、時間ゼロで、室温における暫定的な読み出し点で測定されました。ゲート・ソース間の漏れ、ドレイン・ソース間の漏れ、ゲート・ソース間のしきい電圧、オン抵抗などの電氣的パラメータをデータシートの仕様と比較しました。ある項目がデータシートの仕様を超えたときに、故障が記録されました。eGaN[®] FETには、可能なら、最新のJEDEC (半導体技術協会) 規格 [19]を満すようにストレスが加えられました。各部品は、FR5 (高TgのFR4)、またはポリイミドのアダプタ・カード上に実装されました。銅の2層を備えた厚さ1.6 mmのアダプタ・カードを使用しました。表面および内部の層の銅は、1オンスまたは2オンスです。アダプタ・カード上に部品を実装するときに、米ケスター社の無洗浄フラックスのタイプ3のSAC305またはSAC405のはんだ [4] を使用しました。

ストレス結果の統計的なまとめ

表2は、信頼性試験の結果のまとめで、故障率の複合統計的推測を与えます。合計900万デバイス・時間を超える集計結果において、不具合はありませんでした。不具合がないので、この統計は、信頼度60%での最悪ケースの上限を表しています。

これらの上限値は、サンプルの数量によってのみ制限されており、EPCが信頼性データを収集し続けられ、下がり続けるでしょう。いくつかの適切なストレス・テストに対して、故障発生件数 (FIT) と平均故障時間 (MTTF) の両方を計算しました。これらの計算では、加速係数AF=1と仮定しているので、より厳しくない使用条件下での動作では、推定された故障率が、さらに低くなるでしょう。他のストレス・テストに対して、故障率 (単位はppm) は、関連するストレス期間と共に示しました。

ストレス・テスト	サンプル数	故障数	等価デバイス (時間)	故障の統計的上限 (信頼度60%)	備考
HTRB	2062	0	3063000	299 FIT (MTTF = 381年)	$V_{DS} = 80\% V_{DS,max}$
HTGB	2079	0	3234000	283 FIT (MTTF = 402年)	$V_{GS} \geq 5.5V$
TC	1380	0	1585867	N/A	$\Delta T \geq 100^{\circ}C$
H3TRB	708	0	708000	1294 FIT (MTTF = 88年)	—
ELFR_HTRB	8366	0	401568	110 ppm	初めの48時間
ELFR_HTGB	4833	0	231984	190 ppm	初めの48時間
IOL	385	0	157850	N/A	—
すべてのテストの合計	19813	0	9382269		

表2. 故障の複合統計的上限のまとめ

高温逆バイアス

標準的な品質検査の一環として、JEDEC規格のJESD22-A108 [5] に従って、サンプルには、1000時間のストレス期間に、最大定格温度でドレイン-ソース間の定格電圧の80%を印加しました。ストレス・テストの部品の種類は、40 V~300 Vの全耐圧範囲にわたっています。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTRB	EPC2023	30	XL (6.05 x 2.3)	T = 150°C, V _{DS} = 24 V	0	77 x 1	1000
HTRB	EPC800x	40	S (2.05 x 0.85)	T = 150°C, V _{DS} = 40 V	0	77 x 3	1000
HTRB	EPC8004	40	S (2.05 x 0.85)	T = 150°C, V _{DS} = 32 V	0	77 x 1	2000
HTRB	EPC2014C	40	M (1.7 x 1.1)	T = 150°C, V _{DS} = 32 V	0	77 x 1	2000
HTRB	EPC2024	40	XL (6.05 x 2.3)	T = 150°C, V _{DS} = 32 V	0	60 x 1	1000
HTRB	EPC2035	60	S (0.95 x 0.95)	T = 150°C, V _{DS} = 48 V	0	77 x 1	1000
HTRB	EPC2021	80	XL (6.05 x 2.3)	T = 150°C, V _{DS} = 64 V	0	77 x 1	1000
HTRB	EPC2029	80	XL (4.6 x 2.6)	T = 150°C, V _{DS} = 64 V	0	77 x 1	1000
HTRB	EPC2032	100	XL (4.6 x 2.6)	T = 150°C, V _{DS} = 80 V	0	77 x 2	1000
HTRB	EPC2001C	100	L (4.1 x 1.6)	T = 150°C, V _{DS} = 80 V	0	77 x 2	3000
HTRB	EPC2016C	100	M (2.1 x 1.6)	T = 150°C, V _{DS} = 80 V	0	77 x 3	2000
HTRB	EPC2036	100	S (0.95 x 0.95)	T = 150°C, V _{DS} = 80 V	0	77 x 1	1000
HTRB	EPC2033	150	XL (4.6 x 2.6)	T = 150°C, V _{DS} = 120 V	0	77 x 2	1000
HTRB	EPC2034	200	XL (4.6 x 2.6)	T = 150°C, V _{DS} = 160 V	0	77 x 1	1000
HTRB	EPC2010C	200	L (3.6 x 1.6)	T = 150°C, V _{DS} = 160 V	0	77 x 2	3000
HTRB	EPC2012C	200	M (1.7 x 0.9)	T = 150°C, V _{DS} = 160 V	0	77 x 1	1000

表3. 高温逆バイアス試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

高温ゲート・バイアス

部品には、JEDEC規格のJESD22-A108 [5] に従って、1000時間のストレス期間に、最大定格温度でゲート-ソース間にバイアス電圧5.75 Vまたは5.5 Vを印加しました。ストレス・テストの部品の種類は、40 V~300 Vの全耐圧範囲にわたっています。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
HTGB	EPC2023	30	XL (6.05 x 2.3)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC800x	40	S (2.05 x 0.85)	T = 150°C, V _{GS} = 5.5 V	0	77 x 3	1000
HTGB	EPC8004	40	S (2.05 x 0.85)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	2000
HTGB	EPC2014C	40	M (1.7 x 1.1)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	2000
HTGB	EPC2015C	40	L (4.1 x 1.6)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	3000
HTGB	EPC2035	60	S (0.95 x 0.95)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2021	80	XL (6.05 x 2.3)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2029	80	XL (4.6 x 2.6)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2032	80	XL (4.6 x 2.6)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2001C	100	L (4.1 x 1.6)	T = 150°C, V _{GS} = 5.75 V	0	77 x 2	3000
HTGB	EPC2016C	100	M (2.1 x 1.6)	T = 150°C, V _{GS} = 5.75 V	0	77 x 3	2000
HTGB	EPC2036	100	S (0.95 x 0.95)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2038	100	S (0.95 x 0.95)	T = 150°C, V _{GS} = 5.5 V	0	77 x 1	1000
HTGB	EPC2033	150	XL (4.6 x 2.6)	T = 150°C, V _{GS} = 5.5 V	0	77 x 2	1000
HTGB	EPC2034	200	XL (4.6 x 2.6)	T = 150°C, V _{GS} = 5.75 V	0	77 x 1	1000
HTGB	EPC2010C	200	L (3.6 x 1.6)	T = 150°C, V _{GS} = 5.75 V	0	77 x 2	3000
HTGB	EPC2012C	200	M (1.7 x 0.9)	T = 150°C, V _{GS} = 5.75 V	0	77 x 1	1000

表4. 高温ゲート・バイアス試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

高温保存

部品は、JEDEC規格のJESD22-A103 [6] に従って、最大定格温度に加熱しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数 × ロット数)	継続時間 (時間)
HTS	EPC2023	30	XL (6.05 x 2.3)	T = 150°C、空气中	0	25 x 1	1000
HTS	EPC800x	40	S (2.05 x 0.85)	T = 150°C、空气中	0	77 x 3	1000
HTS	EPC2021	80	XL (6.05 x 2.3)	T = 150°C、空气中	0	25 x 1, 77 x 1	1000
HTS	EPC2029	80	XL (4.6 x 2.6)	T = 150°C、空气中	0	25 x 3	1000
HTS	EPC2032	80	XL (4.6 x 2.6)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC2022	100	XL (6.05 x 2.3)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC2001C	100	L (4.1 x 1.6)	T = 150°C、空气中	0	77 x 1	1000
HTS	EPC2016C	100	M (2.1 x 1.6)	T = 150°C、空气中	0	77 x 2	1000

表5. 高温保存試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

温度サイクル

部品には、JEDEC規格のJESD22-A104 [7] に従って、(-40°Cと+125°C)、または(0°Cと+100°C)のいずれかの間の温度サイクルを、それぞれ合計1000サイクル、または1500サイクル実施しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数 × ロット数)	継続回数 (サイクル)
TC	EPC2040	15	S (0.85 x 1.2)	-40°Cから+125°C、空气中	0	32 x 1	1000
TC	EPC2023	30	XL (6.05 x 2.3)	0°Cから+100°C、空气中	0	77 x 1	1500
TC	EPC2023	30	XL (6.05 x 2.3)	-40°Cから+125°C、空气中	0	25 x 1	500
TC	EPC800x	40	S (2.05 x 0.85)	-40°Cから+125°C、空气中	0	77 x 3	1000
TC	EPC800x	40	S (2.05 x 0.85)	-40°Cから+125°C、空气中	0	35 x 1	1000
TC	EPC2021	80	XL (6.05 x 2.3)	0°Cから+100°C、空气中	0	77 x 1	1500
TC	EPC2029	80	XL (4.6 x 2.6)	-40°Cから+125°C、空气中	0	35 x 2, 77 x 1	1000
TC	EPC2021	80	XL (6.05 x 2.3)	-40°Cから+125°C、空气中	0	77 x 3	500
TC	EPC2022	80	XL (6.05 x 2.3)	-40°Cから+125°C、空气中	0	77 x 1	500
TC	EPC2032	80	XL (6.05 x 2.3)	-40°Cから+125°C、空气中	0	77 x 1	500
TC	EPC2001C	100	XL (4.6 x 2.6)	-40°Cから+125°C、空气中	0	77 x 2	1000
TC	EPC2107	100	L (4.1 x 1.6)	-40°Cから+125°C、空气中	0	35 x 3	1000
TC	EPC2010C	100	S (1.35 x 1.35)	-40°Cから+125°C、空气中	0	77 x 1	1000
TC	EPC2010C	200	M (3.6 x 1.6)	-40°Cから+125°C、空气中	0	35 x 1	1000

表6. 温度サイクル試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

断続動作寿命IOL

部品には、MIL-STD-750-1 [22] に従って、接合部の温度差100°C以上で電力サイクルのバイアスをかけました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続回数 (サイクル)
IOL	EPC800x	40	S (2.05 x 0.85)	Tj_off = +25°C, Tj_on = +125°C, delta_Tj = 100°C	0	77 x 3	10000
IOL	EPC2001C	100	XL (4.6 x 2.6)	Tj_off = +40°C, Tj_on = +140°C, delta_Tj = 100°C	0	77 x 1	5000
IOL	EPC2032	100	L (4.1 x 1.6)	Tj_off = +25°C, Tj_on = +125°C, delta_Tj = 100°C	0	77 x 1	6000

表7. 断続動作寿命 (IOL) 試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

高温高湿逆バイアス

部品には、JEDEC規格のJESD22-A101 [8] に従って、1000時間のストレス期間に、蒸気圧49.1 PSIAの下で、85%RH、85°Cにおいてドレイン-ソース間にバイアスを加えました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
H3TRB	EPC2023	30	XL (6.05 x 2.3)	T = 85°C, RH = 85%, V _{DS} = 24 V	0	77 x 1	1000
H3TRB	EPC800x	40	S (2.05 x 0.85)	T = 85°C, RH = 85%, V _{DS} = 40 V	0	77 x 3	1000
H3TRB	EPC2015	40	L (4.1 x 1.6)	T = 85°C, RH = 85%, V _{DS} = 40 V	0	50 x 1	1000
H3TRB	EPC2029	80	XL (4.6 x 2.6)	T = 85°C, RH = 85%, V _{DS} = 64 V	0	25 x 1	1000
H3TRB	EPC2022	100	XL (6.05 x 2.3)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	50 x 1, 25 x 1	1000
H3TRB	EPC2032	100	XL (4.6 x 2.6)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	25 x 1	1000
H3TRB	EPC2001C	100	L (4.1 x 1.6)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	25 x 1	1000
H3TRB	EPC2016C	100	M (2.1 x 1.6)	T = 85°C, RH = 85%, V _{DS} = 80 V	0	25 x 2	1000
H3TRB	EPC2033	150	XL (4.6 x 2.6)	T = 85°C, RH = 85%, V _{DS} = 100 V	0	25 x 2	1000
H3TRB	EPC2010	200	L (3.6 x 1.6)	T = 85°C, RH = 85%, V _{DS} = 100 V	0	50 x 1	1000
H3TRB	EPC2012	200	M (1.7 x 0.9)	T = 85°C, RH = 85%, V _{DS} = 100 V	0	50 x 1	1000

表8. 高温高湿逆バイアス試験 注: EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

圧力釜 (オートクレーブ、またはバイアスなしのプレッシャ・クッカー)

部品は、JEDEC規格のJESD22-A102 [9] に従って、96時間のストレス期間に、蒸気圧29.7 PSIAの下で、121°Cにおいて100%RHに曝しました。ストレスの間、デバイスには、電気的なバイアスは加えていませんでした。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
AC	EPC2001C	100	L (4.1 x 1.6)	T = 121°C, RH = 100%	0	25 x 1	96
AC	EPC2016C	100	M (2.1 x 1.6)	T = 121°C, RH = 100%	0	25 x 2	96

表9. 圧力釜 (オートクレーブ) 試験

耐湿性レベル

部品は、168時間のストレス期間に、85°Cで85%RHに曝しました。さらに、この部品には、IPC / JEDECの合同規格J-STD-020 [10] に従った鉛フリー・リフローを3サイクル実施しました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	故障品の数	全サンプル数 (サンプル数×ロット数)	継続時間 (時間)
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	77 x 3	168
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168
MSL1	EPC800x	40	S (2.05 x 0.85)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168
MSL1	EPC2029	80	XL (4.6 x 2.6)	T = 85°C、RH = 85%、リフロー3回	0	25 x 2, 77 x 2	168
MSL1	EPC2032	80	XL (4.6 x 2.6)	T = 85°C、RH = 85%、リフロー3回	0	77 x 1	168
MSL1	EPC2001C	100	L (4.1 x 1.6)	T = 85°C、RH = 85%、リフロー3回	0	25 x 1	168

表10. 耐湿性レベル試験 注：EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

静電気放電

部品は、JEDEC規格JESD22A-114 [11] の人体モデル (HBM) と、JESD22A-115 [12] のマシン・モデル (MM)、JESD22C-101 [13] のデバイス帯電モデル (CDM) に従って、HBM、MM、CDMによるESDを実施しました。チップ・サイズの範囲をカバーするために、テストにはEPC2001とEPC800xを選びました。

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC2001	100	L (4.1 x 1.6)	G-Sの2ピン間	(±) 400 V	(+) 500 V	1A
HBM	EPC2001	100	L (4.1 x 1.6)	G-Dの2ピン間	(±) 1500 V	(-) 2000 V	1C
HBM	EPC2001	100	L (4.1 x 1.6)	D-Sの2ピン間	(±) 2000 V	(+) 3000 V	2
MM	EPC2001	100	L (4.1 x 1.6)	G-Sの2ピン間	(±) 200 V	(-) 400 V	B
MM	EPC2001	100	L (4.1 x 1.6)	G-Dの2ピン間	(±) 400 V	(+) 600 V	C
MM	EPC2001	100	L (4.1 x 1.6)	D-Sの2ピン間	(±) 600 V	—	クラスC以上

表11. 静電気放電試験 EPC2001

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC2001C	100	L (4.1 x 1.6)	G-Sの2ピン間	(±) 3000V	(-) 4000V	2
HBM	EPC2001C	100	L (4.1 x 1.6)	G-Dの2ピン間	(±) 2000V	(-) 3000V	2
HBM	EPC2001C	100	L (4.1 x 1.6)	D-Sの2ピン間	(±) 2000V	(+) 3000V	2
CDM	EPC2001C	100	L (4.1 x 1.6)	すべてのピンの2ピン間	(±) 1000V	—	C3

表12. 静電気放電試験 EPC2001C

ストレス・テスト	型番	耐圧 (V)	チップ・サイズ (mm x mm)	テスト条件	合格した電圧	故障した電圧	JEDECのクラス
HBM	EPC800x	40	S (2.05 x 0.85)	G-Sの2ピン間	(±) 350V	(-) 500V	1A
HBM	EPC800x	40	S (2.05 x 0.85)	G-Dの2ピン間	(±) 350V	(+) 500V	1A
HBM	EPC800x	40	S (2.05 x 0.85)	D-Sの2ピン間	(±) 500V	(+) 1000V	1B
CDM	EPC800x	40	S (2.05 x 0.85)	すべてのピンの2ピン間	(±) 500V	(-) 500V	1C
MM	EPC800x	40	S (2.05 x 0.85)	G-Sの2ピン間	(±) 25V	(+) 50V	A
MM	EPC800x	40	S (2.05 x 0.85)	G-Dの2ピン間	(±) 100V	(-) 200V	A
MM	EPC800x	40	S (2.05 x 0.85)	D-Sの2ピン間	(±) 50V	(+) 100V	A

表13. 静電気放電試験 EPC800x 注：EPC800xの結果は、EPC8000シリーズのすべての製品に適用されます。

参考文献：

- [1] XueJun Fan, Qiang Han, "Design and Reliability in Wafer Level Packaging," 10th Electronics Packaging Technology Conference, 2008
- [2] Jean-Paul Clech, "Solder Reliability Solutions: A PC-Based Design-For-Reliability Tool," EPSI Inc., 1996
- [3] Darveaux, R, "The effect of assembly stiffness and solder properties on thermal cycle acceleration factors," IEEE Proceedings, September 2005.
- [4] Kester NXG1 Lead-Free No-Clean Solder Paste Data Sheet Rev: 13Oct10
- [5] JEDEC STANDARD Temperature, Bias, and Operating Life (<https://www.jedec.org>)
- [6] JEDEC STANDARD High Temperature Storage Life (<https://www.jedec.org>)
- [7] JEDEC STANDARD Temperature Cycling (<https://www.jedec.org>)
- [8] JEDEC STANDARD Steady State Temperature Humidity Bias Life Test (<https://www.jedec.org>)
- [9] JEDEC STANDARD Accelerated Moisture Resistance (<https://www.jedec.org>)
- [10] IPC/JEDEC Joint Standard Moisture/Reflow (<https://www.jedec.org>)
- [11] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Human Body Model (HBM) (<https://www.jedec.org>)
- [12] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Machine Model (MM) (<https://www.jedec.org>)
- [13] JEDEC STANDARD Electrostatic Discharge (ESD) Sensitivity Testing Charged Device Model (CDM) (<https://www.jedec.org>)
- [14] JEDEC Standard No. 74A Early Life Failure Rate Calculation Procedure for Semiconductor Components (<https://www.jedec.org>)
- [15] Edward Dudewicz and Satya Mishra, *Modern Mathematical Statistics*, John Wiley and Sons, 1988.
- [16] MIL-PRF-19500P Standard, "General Specifications for Semiconductor Devices," (<http://www.everyspec.com>)
- [17] Arrhenius/FIT Rate Calculator, Maxim Integrated, <https://www.maximintegrated.com/en/design/tools/calculators/general-engineering/qafits.cfm>
- [18] Alex Lidow, Johan Strydom, Michael de Rooij, David Reusch, *GaN Transistors for Efficient Power Conversion*, Second Edition, John Wiley and Sons, 2015.
- [19] JEDEC STANDARD Stress-Test-Driven Qualification of Integrated Circuits (<https://www.jedec.org>)
- [20] D.K. Schroder (n.d.), "Electromigration," Retrieved from (<http://schroder.personal.asu.edu/Electromigration.pdf>)
- [21] Bongtae Han and Yifan Guo, "Determination of an Effective Coefficient of Thermal Expansion of Electronic Packaging Components: A Whole-Field Approach," IEEE Transactions on Components, Packaging, and Manufacturing Technology – Part A, Vol. 19, NO. 2, June 1996.
- [22] Jean-Paul Clech, "Acceleration Factors and Thermal Cycling Test Efficiency for Lead-Free Sn-Ag-Cu Assemblies," presented at SMTA International, Chicago, IL, Sept. 2005.
- [23] Department of Defense Test Method Standard Environmental Test Methods for Semiconductor Devices Part 1: Test Methods 1000 Through 1999 (<http://www.everyspec.com>)
- [24] Thomas Siewert, Stephen Liu, David Smith, and Juan Madeni, "Database for Solder Properties with Emphasis on New Lead-free Solders," National Institute of Standards and Technology, Properties of Lead-Free Solders, Release 4.0, 2002.
- [25] Robert Darveaux and Corey Reichman, "Mechanical Properties of Lead-Free Solders," IEEE Electronic Components and Technology Conference, 2007.
- [26] Jean-Paul Clech, "Review and Analysis of Lead-Free Solder Material Properties," IEEE NEMI book chapter, 2003.
- [27] Jean-Paul Clech, "Solder Reliability Solutions: A PC-Based Design-For-Reliability Tool," Proceedings, Surface Mount International, San Jose, CA, Sept 1996.